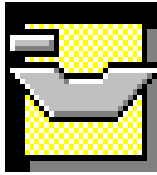


ARQUITECTURAS DE COMPUTADORES

2º CURSO INGENIERÍA TÉCNICA EN INFORMÁTICA DE GESTIÓN

TEMA 5 – ENTRADA/SALIDA

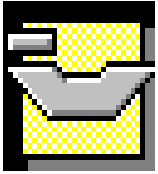
JOSÉ GARCÍA RODRÍGUEZ
JOSÉ ANTONIO SERRA PÉREZ



Indice

Unidad de E/S

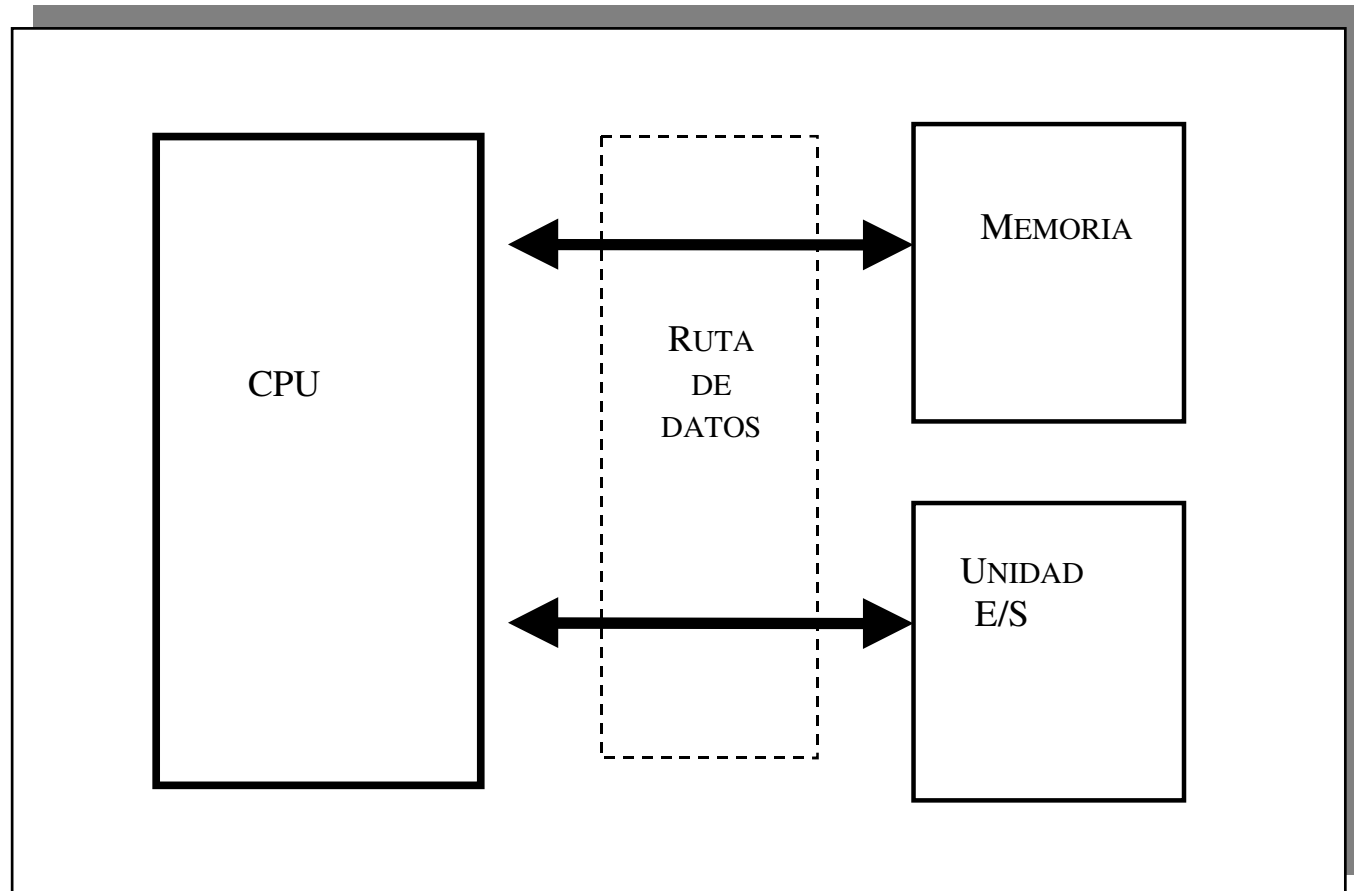
- ◆ Introducción. Problema de E/S
- ◆ Dispositivo de E/S
- ◆ Controlador de E/S
- ◆ Técnicas de transferencia
 - ◆ E/S por programa
 - ◆ E/S por interrupciones
 - ◆ E/S mediante DMA
- ◆ Procesadores de E/S
- ◆ E/S en MaNoTaS

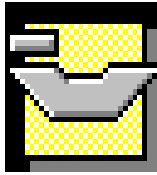


Estructura
computador

Introducción

Estructura de un computador



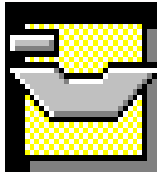


Funciones
principales

Introducción

El sistema de E/S realiza tres funciones principales:

- ◆ Direccionar dispositivos externos.
- ◆ Realizar la transferencia de datos entre los dispositivos externos y la CPU.
- ◆ Sincronizar.



Problema E/S

Introducción

Problema de E/S

- Operación asíncrona. La memoria principal puede considerarse que funciona síncronamente con el procesador. Los dispositivos de E/S no.
- Diferencia de velocidad. Los dispositivos de E/S son lentos y no transmiten datos mediante un flujo continuo. Esto provoca que el procesador tenga que esperar.

Necesidad de controlar las operaciones asíncronas y resolver la diferencia de velocidad para que el procesador no espere demasiado y disminuya el rendimiento global del sistema.



CONTROLADOR DE E/S

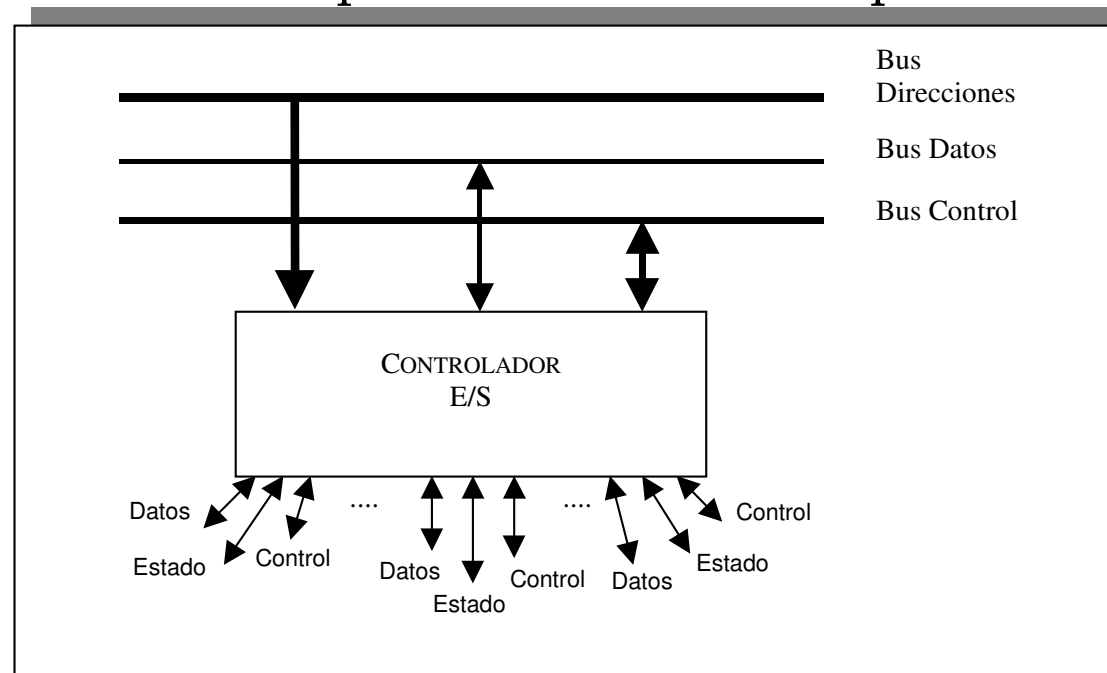


Controlador de E/S

Introducción

Este controlador tiene dos grandes funciones:

- ◆ Comunicarse con la CPU y la memoria a través del bus del sistema.
- ◆ Comunicarse con uno o varios dispositivos externos mediante enlaces específicos de cada dispositivo.





Definición y clasificación

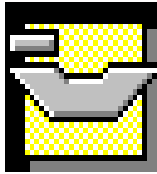
Dispositivos de E/S

Un dispositivo externo se conecta al computador a través de un enlace con un controlador de E/S.

El enlace se utiliza para intercambiar datos e información de control y estado, entre el controlador de E/S y el dispositivo externo.

Clasificación:

- ◆ Adaptados al usuario. Son apropiados para comunicar información al usuario.
- ◆ Adaptados a la máquina. Permiten comunicarse con el sistema. A este tipo pertenecen las unidades de almacenamiento secundario.
- ◆ De comunicación. Permiten la transferencia de información entre dispositivos remotos. Estos dispositivos pueden estar adaptados al usuario, a la máquina o incluso ser otro computador.



Estructura
dispositivo
de E/S

Dispositivos de E/S

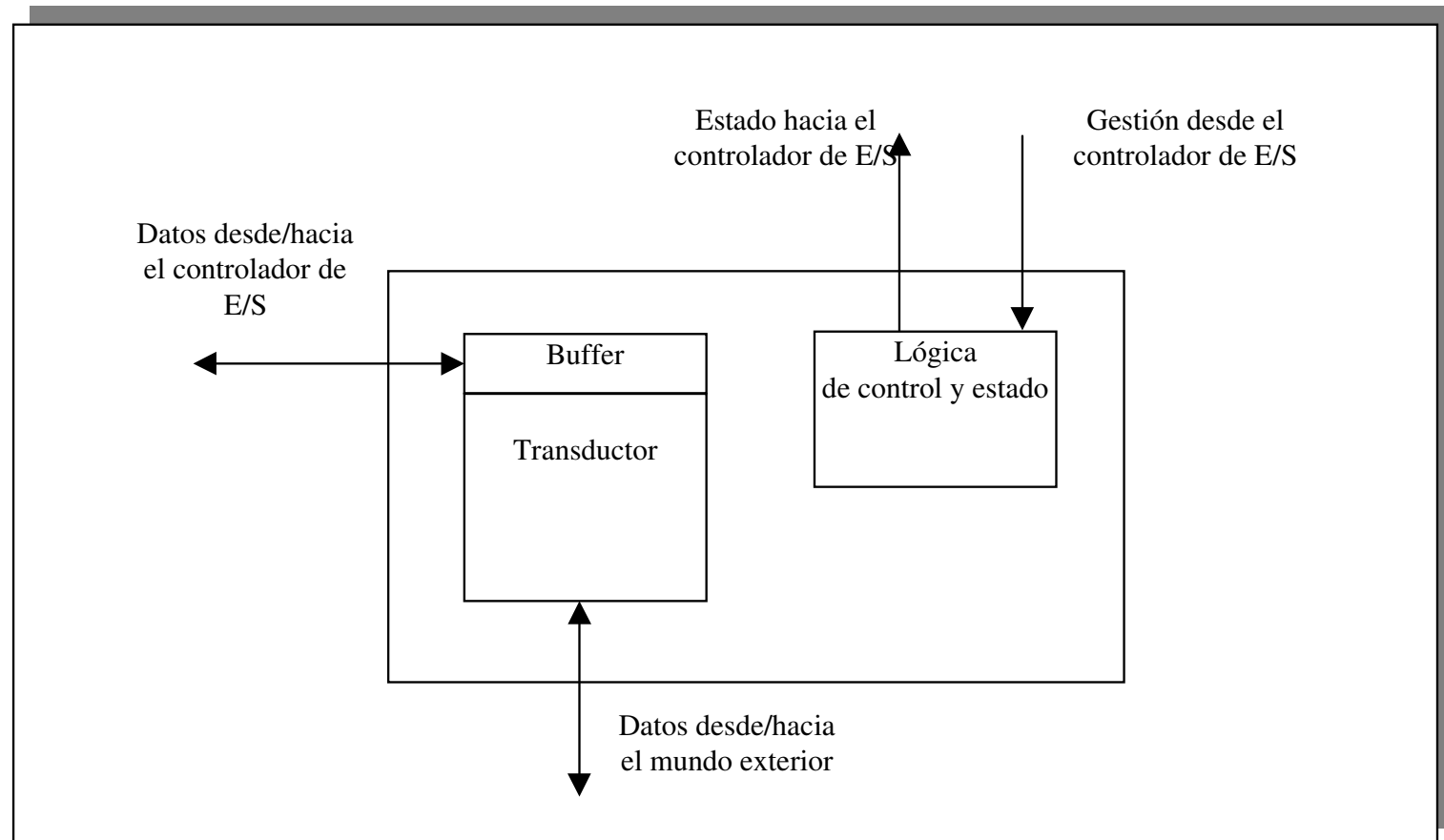
- ◆ Una lógica de control para gobernar su funcionamiento.
- ◆ Un transductor.
- ◆ Una pequeña memoria (registro/buffer) para almacenar temporalmente los datos que transfiere.
- ◆ Los datos.
- ◆ Señales de control que determinan la función que realiza el dispositivo.
- ◆ Señales de estado que indiquen el estado en que se encuentra el dispositivo.

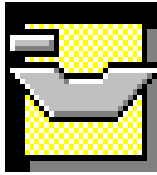


Estructura
dispositivo
de E/S

Dispositivos de E/S

Esquema genérico



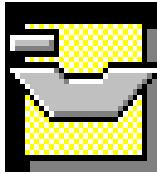


Definición

Controlador de E/S

Un controlador de E/S o módulo de E/S es el elemento del computador responsable del control de uno o más dispositivos externos y del intercambio de datos entre dichos periféricos con la memoria principal o con los registros de la CPU.

El controlador de E/S debe poseer una interfaz interna al computador para su conexión con la CPU y la memoria principal y una interfaz externa al computador para su conexión con el dispositivo externo

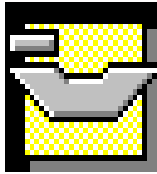


Función

Controlador de E/S

Las principales funciones de un controlador de E/S las podemos agrupar en las siguientes categorías:

- ◆ Comunicación con la CPU
- ◆ Comunicación con el dispositivo externo
- ◆ Almacenamiento temporal de datos
- ◆ Control y temporización
- ◆ Detección de errores



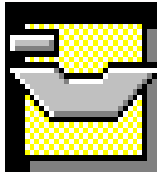
Función

Controlador de E/S

◆ **Comunicación CPU**

La transferencia de datos entre un dispositivo externo y la CPU necesita la siguiente secuencia de acciones:

1. La CPU pide al controlador de E/S que compruebe el estado del dispositivo externo al que está conectado.
2. El controlador de E/S devuelve el estado del dispositivo externo.
3. Si el dispositivo está operativo y preparado para transmitir, la CPU solicita la transferencia del dato mediante una orden al controlador de E/S.
4. El controlador de E/S obtiene los datos del dispositivo externo.
5. El dato se transfiere desde el controlador de E/S a la CPU.



Función

Controlador de E/S

◆ **Comunicación CPU**

La comunicación con la CPU requiere:

- ◆ Decodificación de la orden. El controlador de E/S debe saber qué orden le ha enviado la CPU.
- ◆ Datos. El intercambio de datos entre la CPU y el controlador de E/S se realiza mediante el bus de datos.
- ◆ Información sobre el estado. Estado, errores, etc.
- ◆ Reconocimiento de la dirección. El controlador de E/S reconoce una dirección única para cada uno de los periféricos que controla.



Función

Controlador de E/S

◆ **Comunicación Disp. Externo**

La comunicación con el dispositivo externo comprende órdenes, información del estado del dispositivo y datos.

◆ **Almacenamiento temporal datos**

Necesario debido a las diferentes velocidades entre la interfaz interna con el computador (conexión a la memoria principal y a la CPU) y la interfaz externa (conexión con el dispositivo).



Función

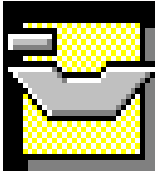
Controlador de E/S

◆ **Detección de errores**

El controlador de E/S es el responsable de la detección de errores y de informar a la CPU cuando ocurren.

Existen diferentes tipos de errores:

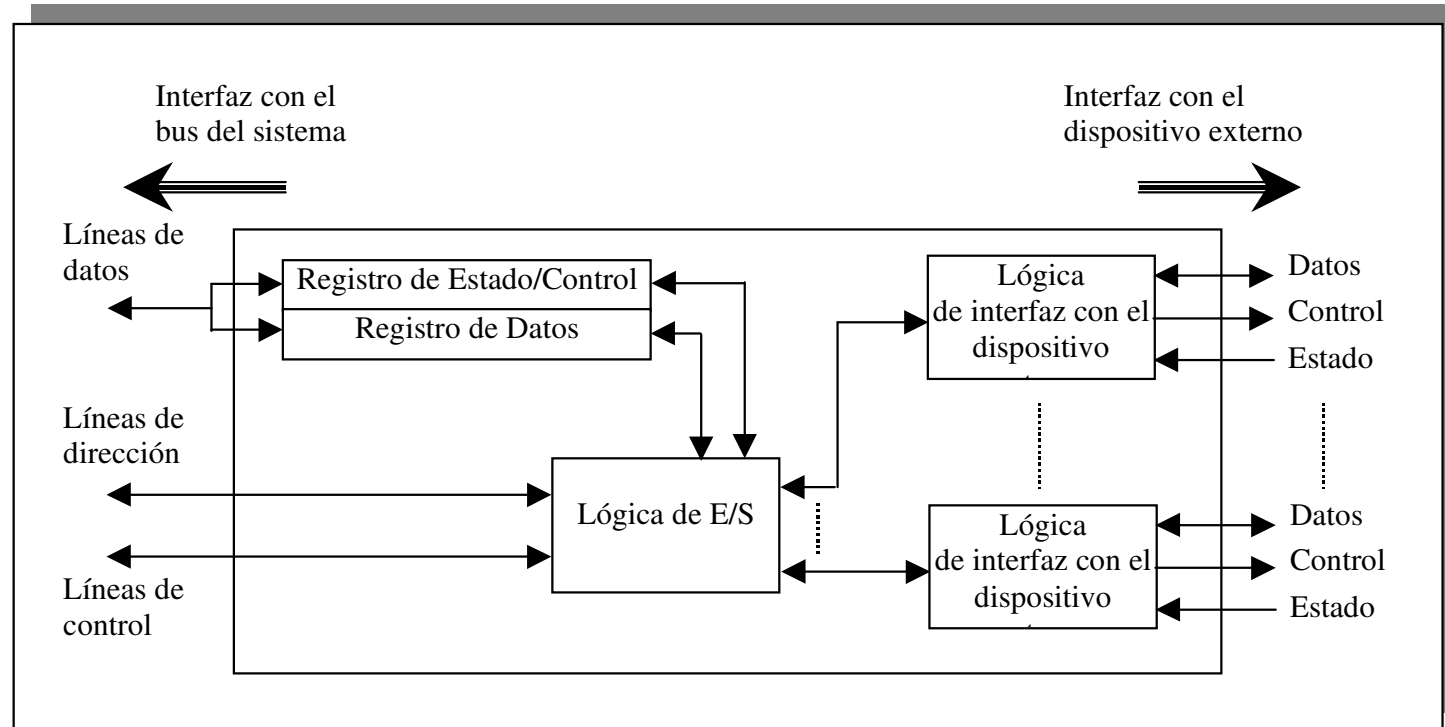
- ◆ Errores de anomalías mecánicas y eléctricas transmitidas por el propio dispositivo externo.
- ◆ Errores en la secuencia de los bits que se transmiten desde el dispositivo al controlador de E/S.



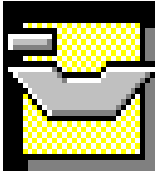
Estructura

Controlador de E/S

Diagrama de bloques



Al conjunto de registros genéricamente se les suele llamar **puertos** del controlador.

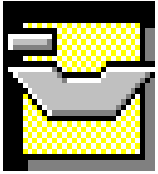


Comunicación
sistema

Controlador de E/S

Existen tres posibilidades de interconectar la CPU con la memoria y con la unidad de E/S:

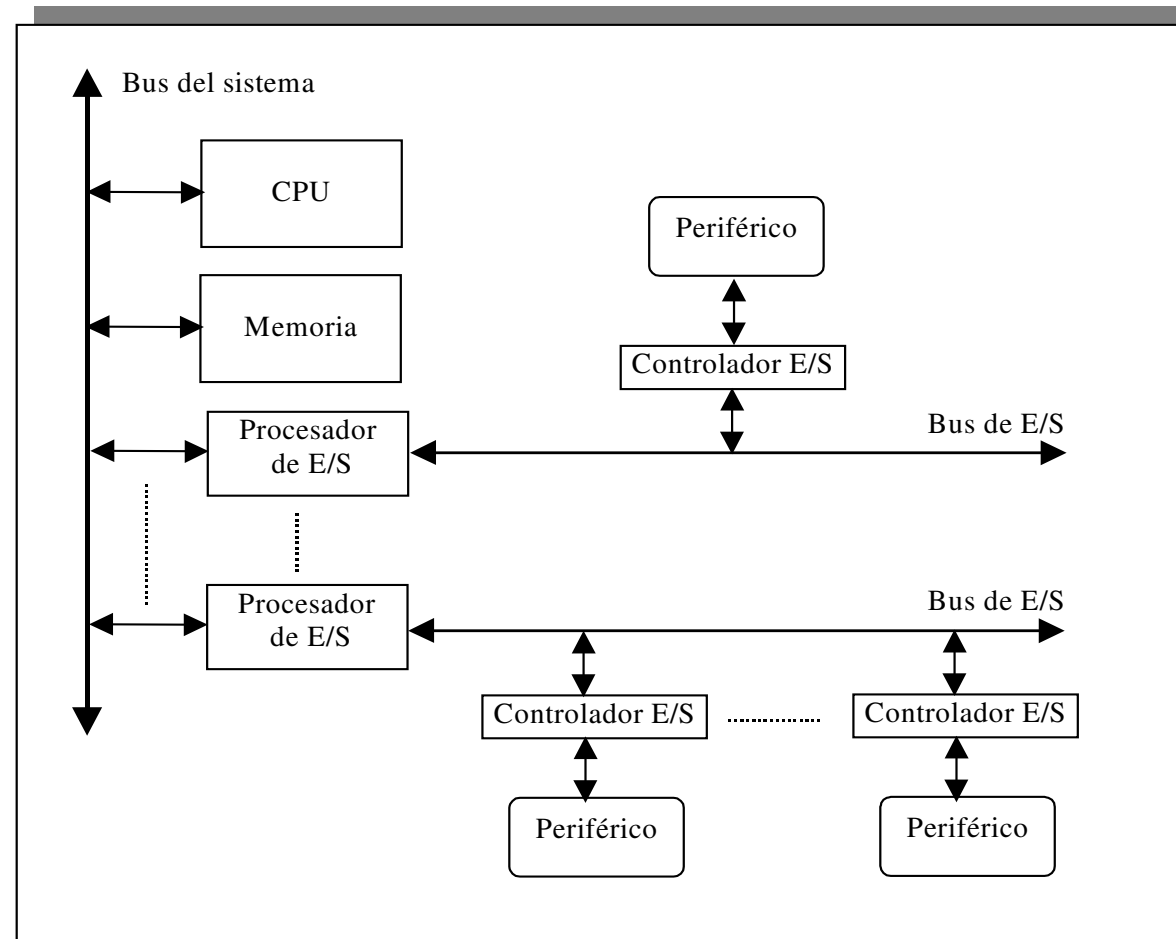
- ◆ Utilizar un bus común para la memoria y el sistema de E/S, pero con líneas de control independientes para cada uno.
- ◆ Utilizar un único bus con líneas de control comunes.
- ◆ Emplear varios buses independientes, uno para la memoria y los otros para los sistemas de E/S.

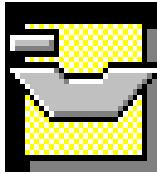


Comunicación
sistema

Controlador de E/S

Sistema con varios buses



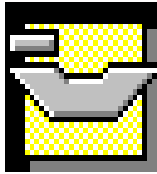


Técnicas de transferencia de E/S

- ◆ **E/S controlada por programa.** La CPU ejecuta un programa que tiene el control directo de la operación de E/S. La CPU tendrá que esperar y el rendimiento del sistema disminuirá.
- ◆ **E/S por interrupciones.** La CPU envía una orden de E/S y continúa ejecutando otras instrucciones hasta que es interrumpida por el controlador de E/S, cuando éste ha finalizado su trabajo.

En estas dos técnicas, la CPU es la responsable de leer los datos.

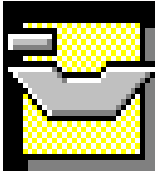
- ◆ Sería más conveniente que la CPU se encontrara con los datos en memoria principal cuando le avise el controlador de E/S. Esto se consigue con la técnica de transferencia mediante **acceso directo a memoria.**



Concepto

E/S por programa

1. Cuando la CPU está ejecutando un programa y encuentra una instrucción de E/S, envía una orden al controlador de E/S adecuado.
2. Este controlador realiza la acción pedida y a continuación modifica el contenido de su registro de estado.
3. La CPU es la responsable de comprobar periódicamente el estado del controlador de E/S hasta que encuentra que la operación ha finalizado.



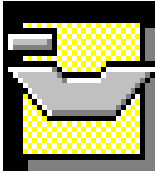
Concepto

E/S por programa

Para ejecutar una instrucción de E/S, la CPU envía una orden de E/S y una dirección que especifica el controlador y el periférico en particular.

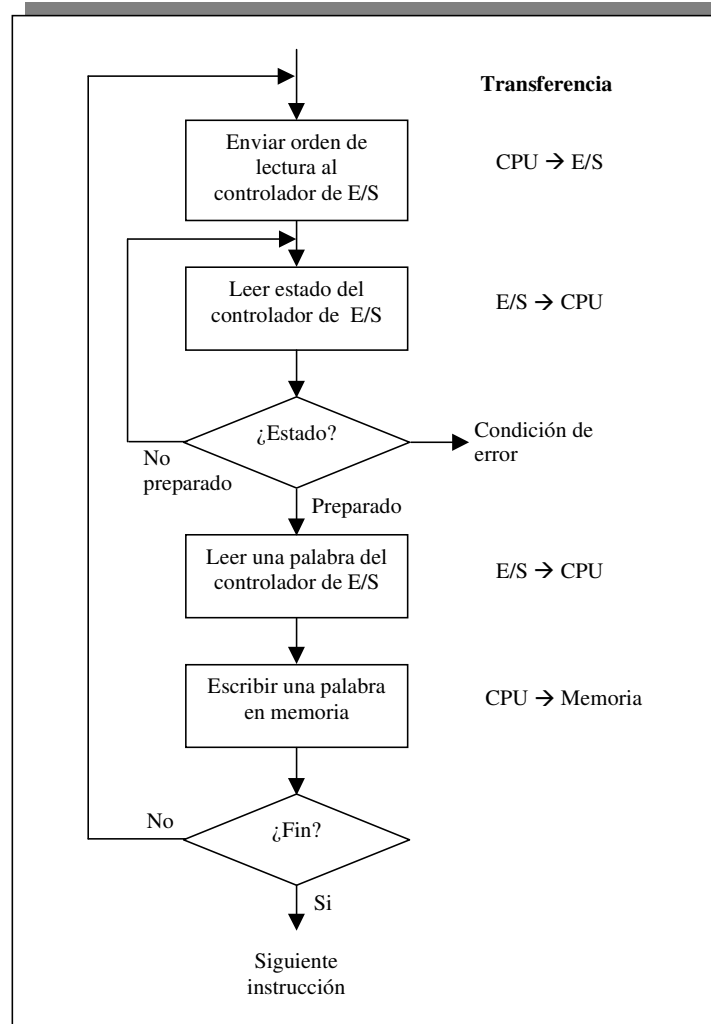
A continuación, la CPU puede enviar al controlador cuatro tipos de órdenes:

- ◆ Orden de control.
- ◆ Orden de comprobación.
- ◆ Orden de lectura.
- ◆ Orden de escritura.



Ejemplo
lectura

E/S por programa



Lectura mediante E/S controlada por programa

Desventaja:

El procesador no realiza ningún trabajo útil mientras permanece en el bucle de espera.



Direccionamiento

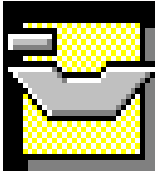
E/S por programada

Cuando la CPU, la memoria principal y la unidad de E/S comparten un bus común, son posibles dos modos de direccionamiento:

- ◆ E/S asignada o mapeada en memoria (“memory-mapped”)

Existe un único espacio de direcciones para las posiciones de memoria y los dispositivos de E/S. La CPU trata los registros de datos y de estados de los controladores de E/S como posiciones de memoria y utiliza las mismas instrucciones máquina para acceder tanto a la memoria como a los periféricos.

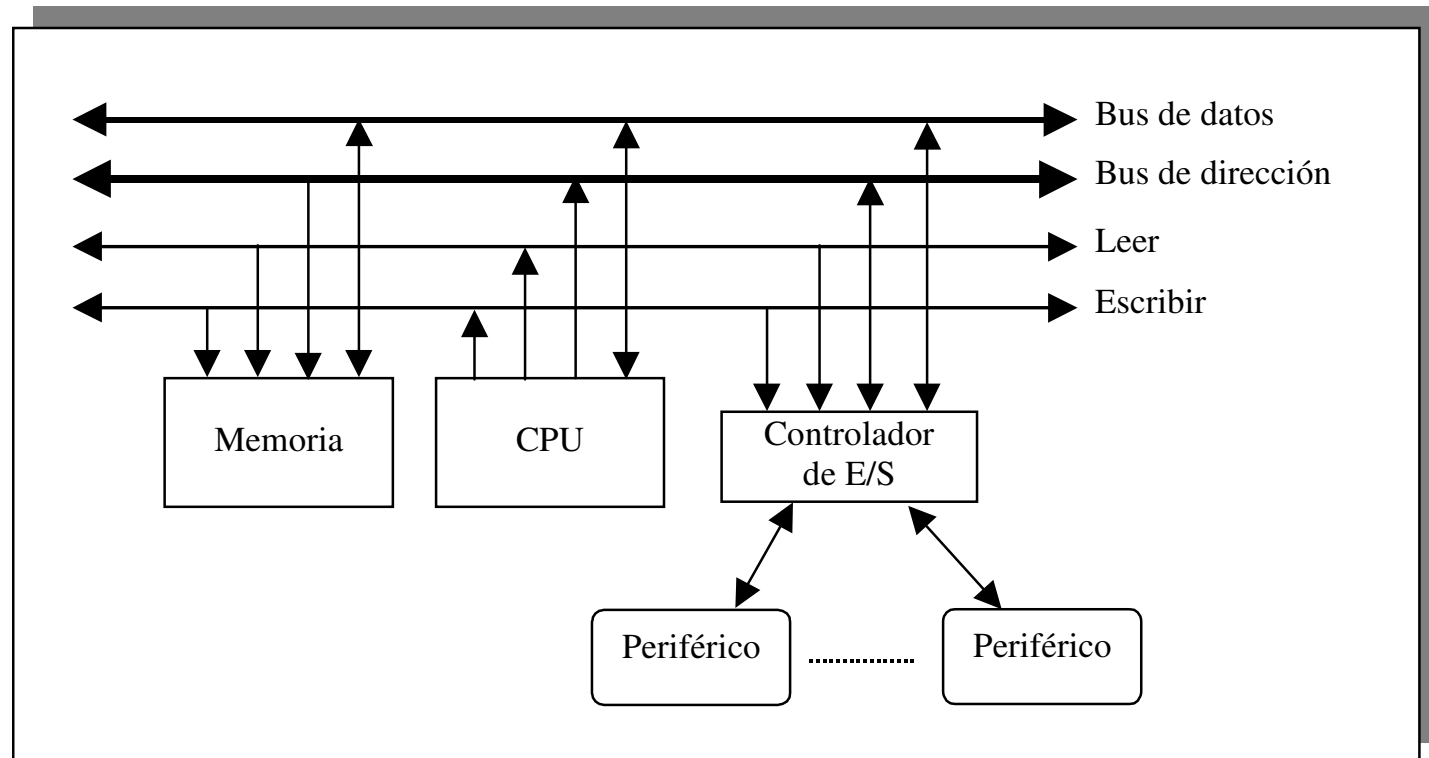
Por regla general, cuando se diseña un mapa de memoria, se reserva un segmento del espacio de direcciones para los registros internos de los controladores de E/S.



Direccionamiento

E/S por programa

Este tipo de direccionamiento utiliza una de lectura y otra de escritura común.





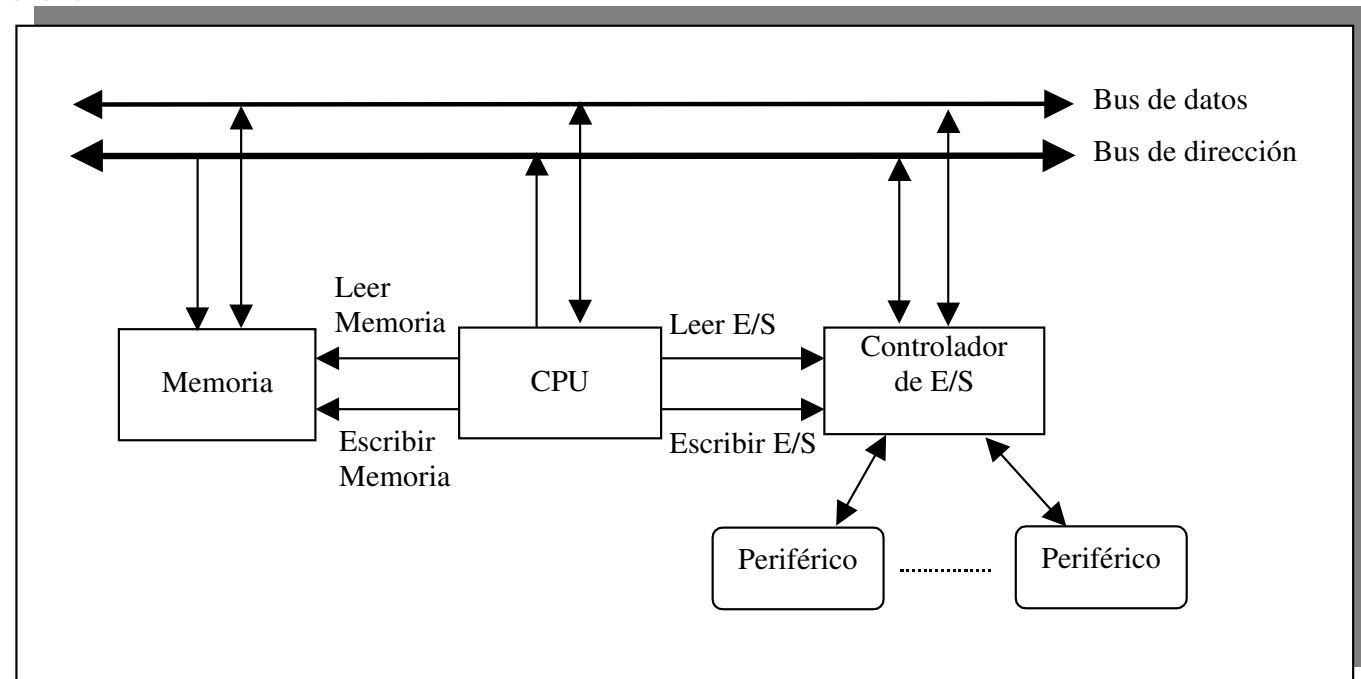
Direccionamiento

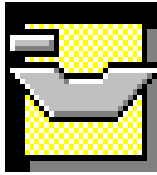
E/S por programa

◆ E/S aislada

Utiliza líneas de control de lectura y escritura para memoria y para E/S distintas.

El rango completo de direcciones está disponible para ambos.



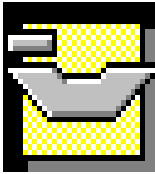


Concepto

E/S por interrupciones

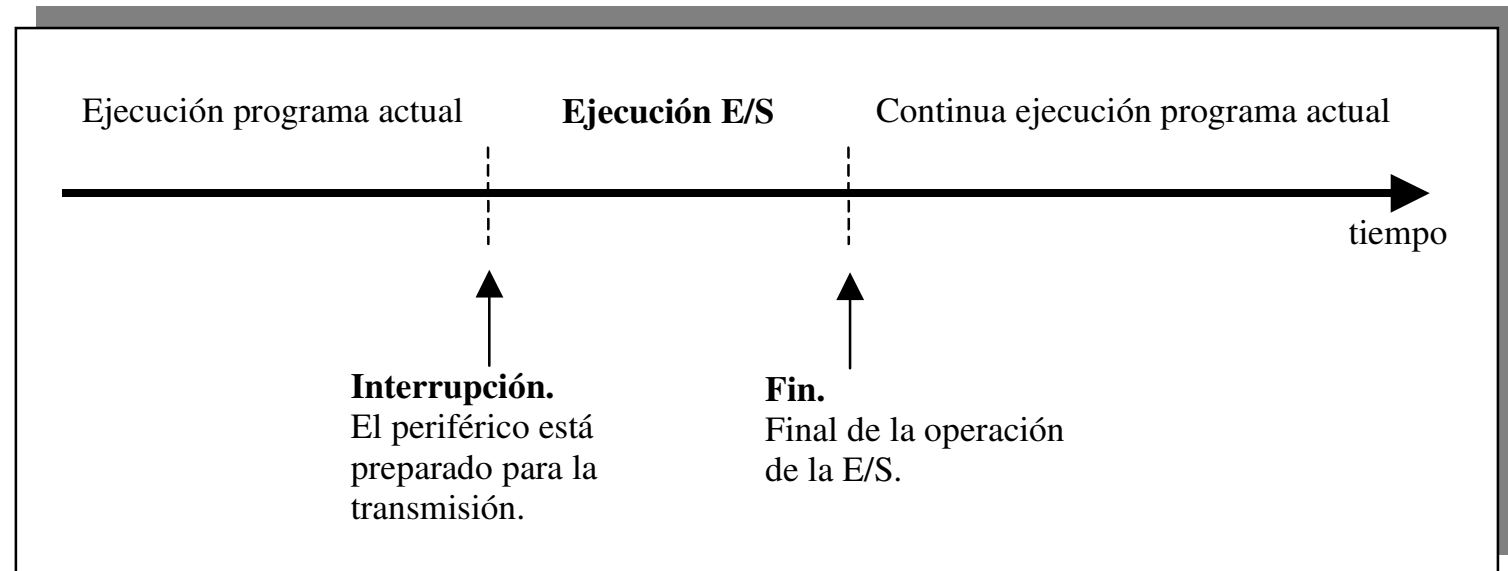
La idea básica del mecanismo de E/S por interrupciones consiste en eliminar el bucle de espera.

1. La CPU envía una orden de E/S al periférico esperando a que se efectúe la operación de E/S.
2. Cuando el periférico está preparado para intercambiar información, fuerza una interrupción en la tarea que realiza la CPU para que atienda a la operación de E/S.
3. En ese momento la CPU realiza la transferencia del dato, de la misma manera que en el caso de E/S controlada por programa, y a continuación sigue ejecutando el programa que había interrumpido.



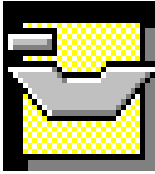
Concepto

E/S por interrupciones



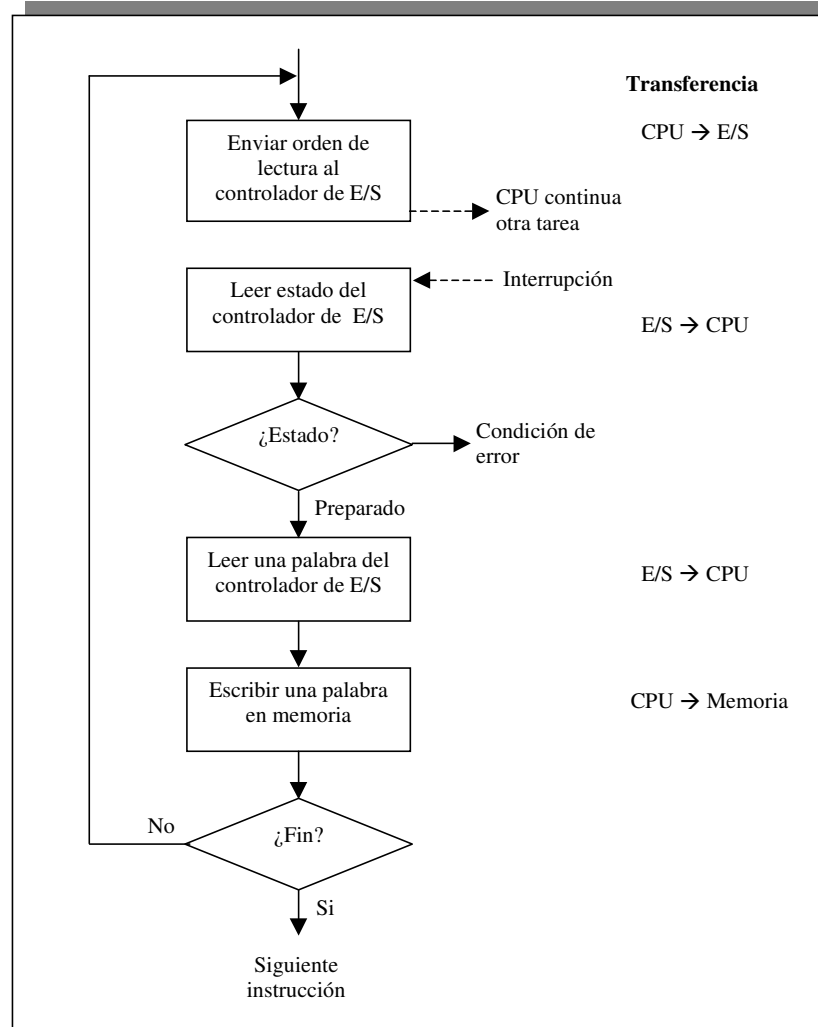
El periférico advierte a la CPU que está preparado para la transmisión, activando una línea especial del bus de control llamada línea de petición de interrupción (**INTR**: Interrupt Request).

La CPU utiliza su línea de reconocimiento de interrupción (**INTA**: Interrupt Acknowledge) para indicar al periférico que sí se puede transmitir.

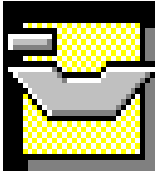


Ejemplo
lectura

E/S por interrupciones



Lectura
mediante E/S
controlada por
interrupciones



Pasos

E/S por interrupciones

Secuencia de pasos en el tratamiento de una petición de interrupción:

1. El controlador de E/S u otro hardware del sistema activa la línea de petición de interrupción (INTR).
2. La CPU completa la ejecución de la instrucción en curso y suspende en ese momento la ejecución del programa actual.
3. La CPU informa al periférico de que se ha reconocido su petición de interrupción mediante una línea de reconocimiento de interrupción (INTA). En este momento, el dispositivo desactiva la línea de petición de interrupción (INTR).
4. La CPU salva el contenido del contador de programa y del registro de estado en la pila.
5. La CPU carga el nuevo contador de programa asociado a la interrupción.

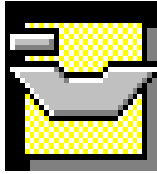


Pasos

E/S por interrupciones

Secuencia de pasos en el tratamiento de una petición de interrupción:

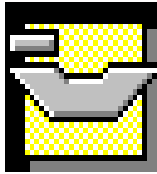
6. Se guarda la información de los otros registros accesibles por programa.
7. La CPU inhibe las interrupciones (bit de máscara) y comienza a ejecutar el programa correspondiente de servicio de la interrupción (**rutina de servicio**).
8. Una vez finalizado el programa de servicio de la interrupción, se activa de nuevo el sistema de interrupciones que se había inhibido y se restaura la información de estado del proceso.
9. Se restaura el registro de estado y el contador de programa iniciales. La CPU continúa la ejecución del programa interrumpido en el punto en el que lo dejó.



Conceptos

E/S por interrupciones

- ◆ El guardar este contexto supone una sobrecarga adicional en el tratamiento de las interrupciones. En algunos sistemas se realiza por hardware y en otros por software.
- ◆ El usuario debe disponer de algún mecanismo que le permita activar o desactivar las peticiones de interrupción.

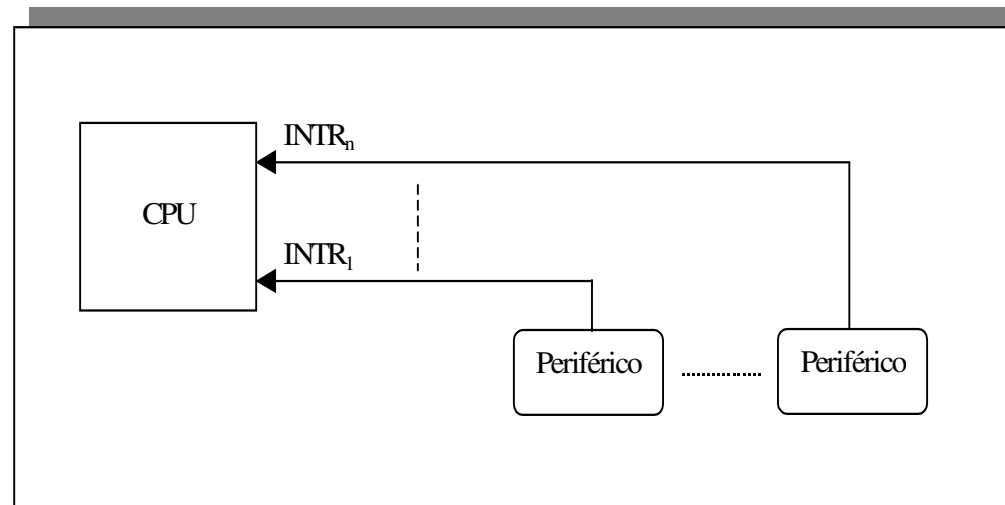


Gestión varios
periféricos

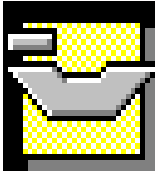
E/S por interrupciones

Cuando existen varios periféricos, la CPU tiene el problema de saber qué periférico ha activado la línea de petición de interrupción y en qué orden atender a los periféricos en el caso de que varios la hayan activado simultáneamente.

La identificación de la interrupción se puede realizar utilizando varias líneas de interrupción.



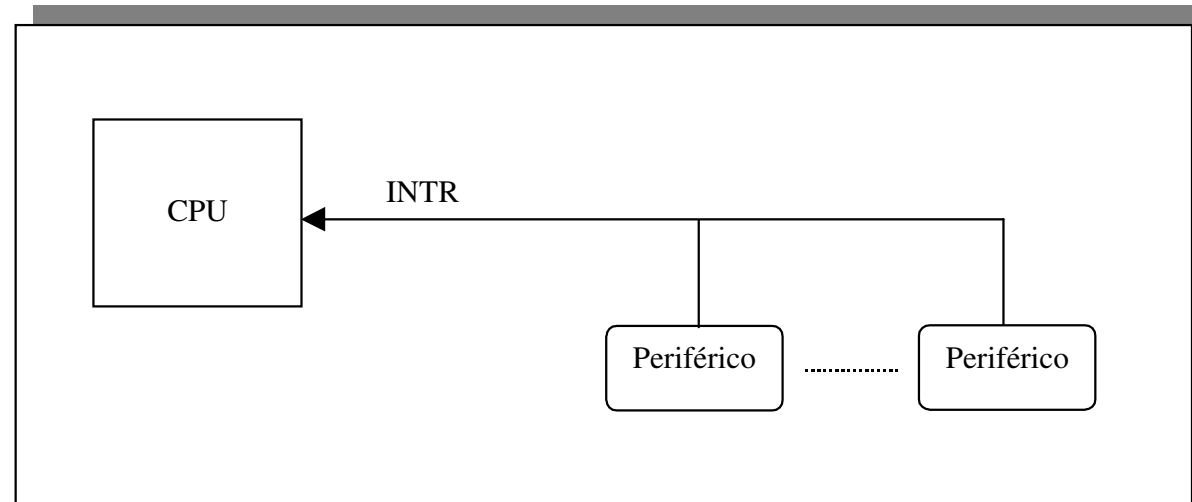
Su
implementación
ocupa mucho
espacio



Gestión varios
periféricos

E/S por interrupciones

Emplear una sola línea de interrupción.



La CPU tiene el **problema** de diferenciar cual de los periféricos conectados es el que la genero la interrupción.



Gestión varios
periféricos

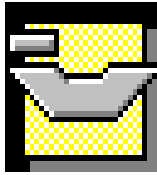
E/S por interrupciones

- ◆ Identificación por consulta software o encuesta (polling).

La CPU ejecuta una rutina de servicio general de interrupciones donde interroga a cada uno de los controladores de E/S para determinar cual de ellos originó la interrupción.

Una vez se ha identificado al periférico, la CPU comienza a ejecutar un programa de servicio específico para esa interrupción.

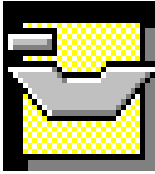
Desventaja: la CPU emplea un cierto tiempo para averiguar el periférico que ha provocado la interrupción. El orden en que se comprueba si el periférico ha interrumpido o no, determina la prioridad de cada interrupción.



Gestión varios
periféricos

E/S por interrupciones

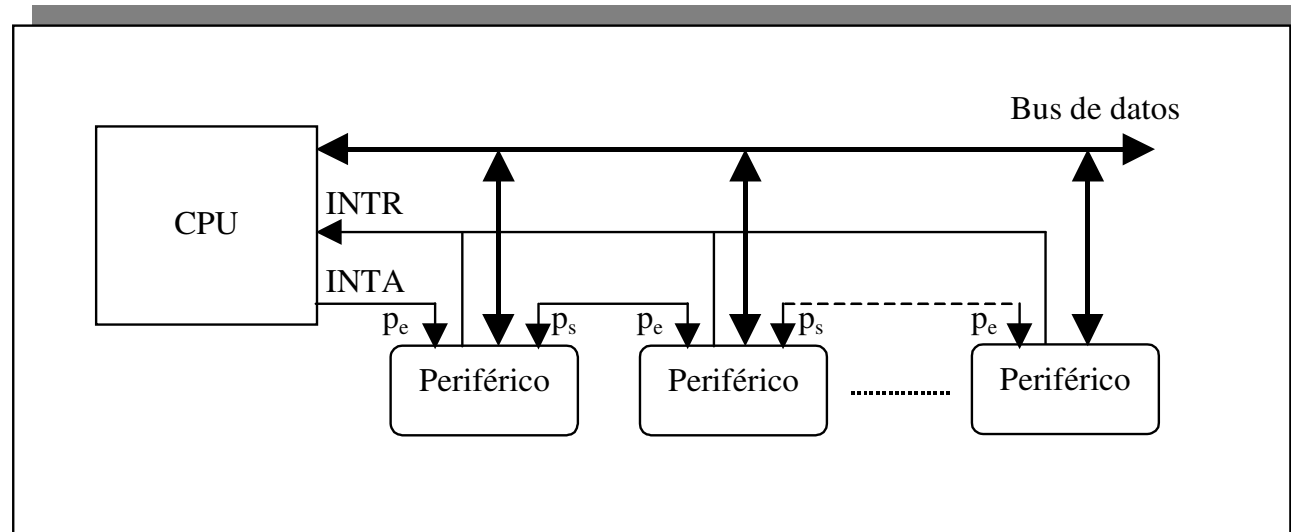
- ◆ Consulta hardware (interrupciones vectorizadas)
El periférico envía a la CPU la INTR y un vector de interrupción.
Este vector es la dirección del controlador de E/S.
La CPU mediante el vector de interrupción determina el comienzo del programa de servicio específico de esa interrupción.
Así, se evita tener que ejecutar en primer lugar una rutina de servicio general para averiguar el periférico que ha solicitado la interrupción.



Gestión varios
periféricos

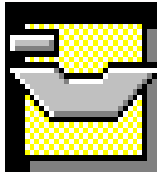
E/S por interrupciones

Esquema con interrupciones vectorizadas



Esta técnica se la conoce también como interrupciones encadenadas o conexión en cadena (daisy chain).

La máxima prioridad la posee el periférico 1 que es el que está más próximo a la CPU y la mínima el periférico n.

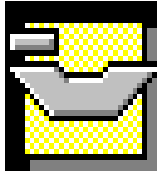


Clasificación

E/S por interrupciones

Clasificación

Criterio	Descripción
Origen	Externa. Las genera el dispositivo. Interna. Las genera la CPU. Simuladas. Son interrupciones software.
Número de líneas de interrupción	Una línea. Solo 1 línea de petición de interrupción. Varias líneas de petición de interrupción.
Control de la CPU sobre la interrupción	Enmascarables. La CPU puede desactivarlas. No enmascarables. La CPU no puede desactivarlas.
Identificación de la fuente de interrupción	Varias líneas de petición de interrupción. Encuesta. La interrupción se identifica por programa. Vectorizada. La interrupción identifica al periférico.
Gestión de la prioridad de la interrupción	Por software. Un programa determina la prioridad. Por hardware. Un circuito determina la prioridad.
Niveles de interrupción	Nivel único. La interrupción no puede interrumpirse. Multinivel. Anidamiento de interrupciones.



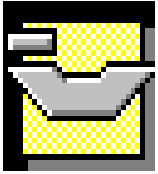
Controlador
de
interrupciones

E/S por interrupciones

El controlador de interrupciones PIC (Programmable Interrupt Controller) permite ampliar el número de líneas de interrupción de la CPU y se encarga de toda la gestión del sistema de interrupciones.

Funciones:

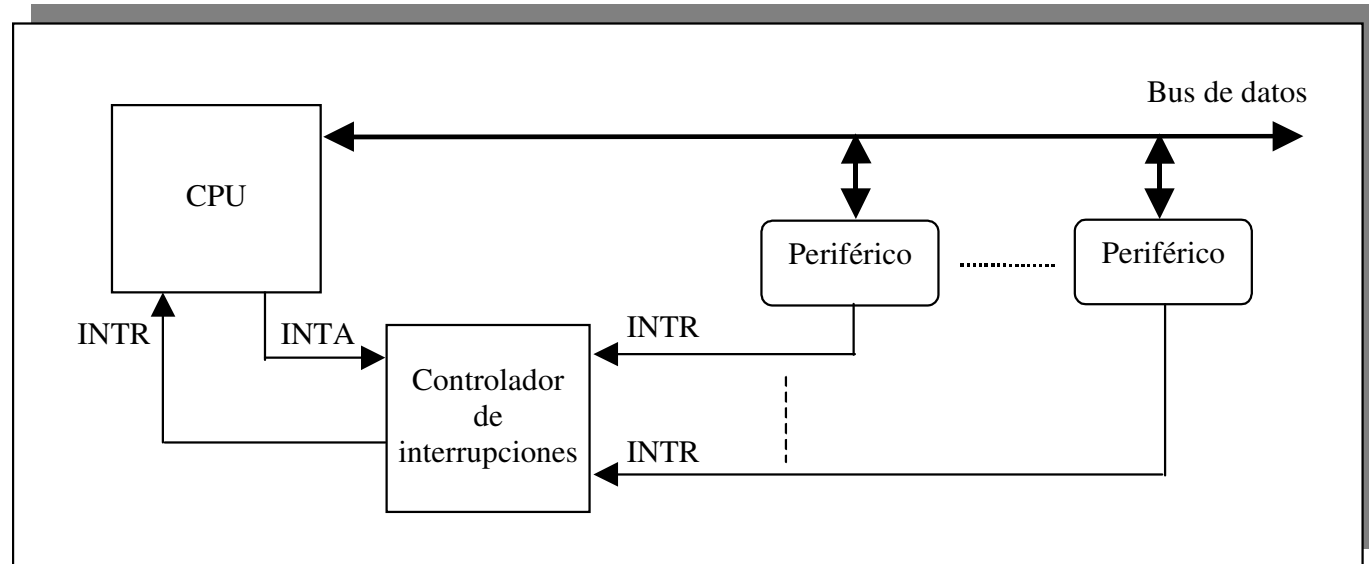
- ◆ Identificar la fuente de interrupción.
- ◆ Establecer las prioridades de cada periférico. Utiliza un codificador de prioridad.
- ◆ Activar o desactivar de forma selectiva las peticiones de interrupción que recibe. Utiliza registro de máscaras.
- ◆ Enviar a la CPU información sobre la petición de la interrupción y cual es el periférico que debe ser atendido.



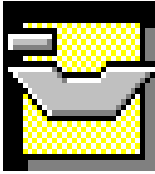
Controlador
de
interrupciones

E/S por interrupciones

Arquitectura de un sistema de interrupciones



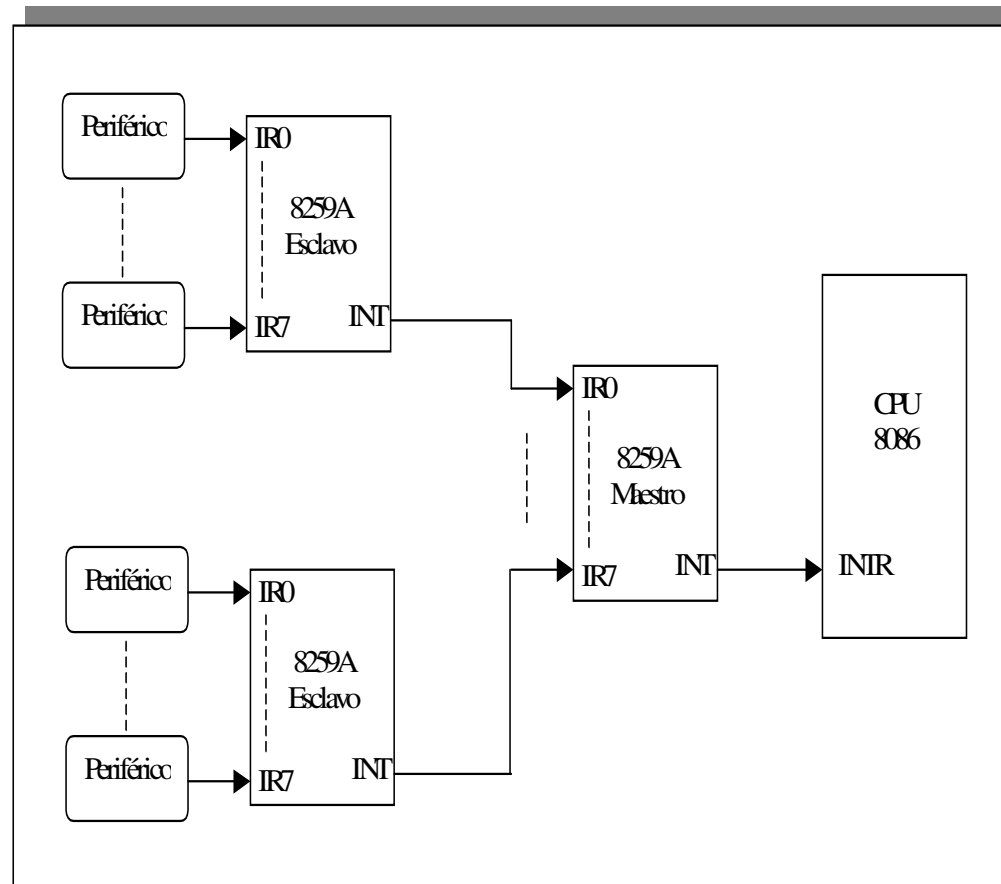
El PIC resuelve las peticiones simultáneas de diferentes periféricos mediante un **codificador de prioridad**.



Ejemplo
controlador
de
interrupciones

E/S por interrupciones

Controlador interrupciones: **Intel 8259A**.



- Puede manejar hasta 8 periféricos. Conexión en cascada hasta 64 periféricos
- Anidamiento de interrupciones
- Rotación de prioridades.
- Enmascaramiento de interrupciones.



Concepto

E/S por DMA

Las dos técnicas de E/S anteriores presentan dos desventajas:

- ◆ La transferencia de datos está limitada por la velocidad con que la CPU puede comprobar y atender a un periférico.
- ◆ La CPU está obligada a gestionar la transferencia de E/S.

Cuando se mueven grandes cantidades de datos, se necesita una técnica más eficaz en la que intervenga lo menos posible la CPU:

Transferencia de datos mediante un controlador de acceso directo a memoria (Direct Memory Access).

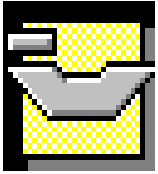


Controlador

E/S por DMA

El controlador de DMA formado:

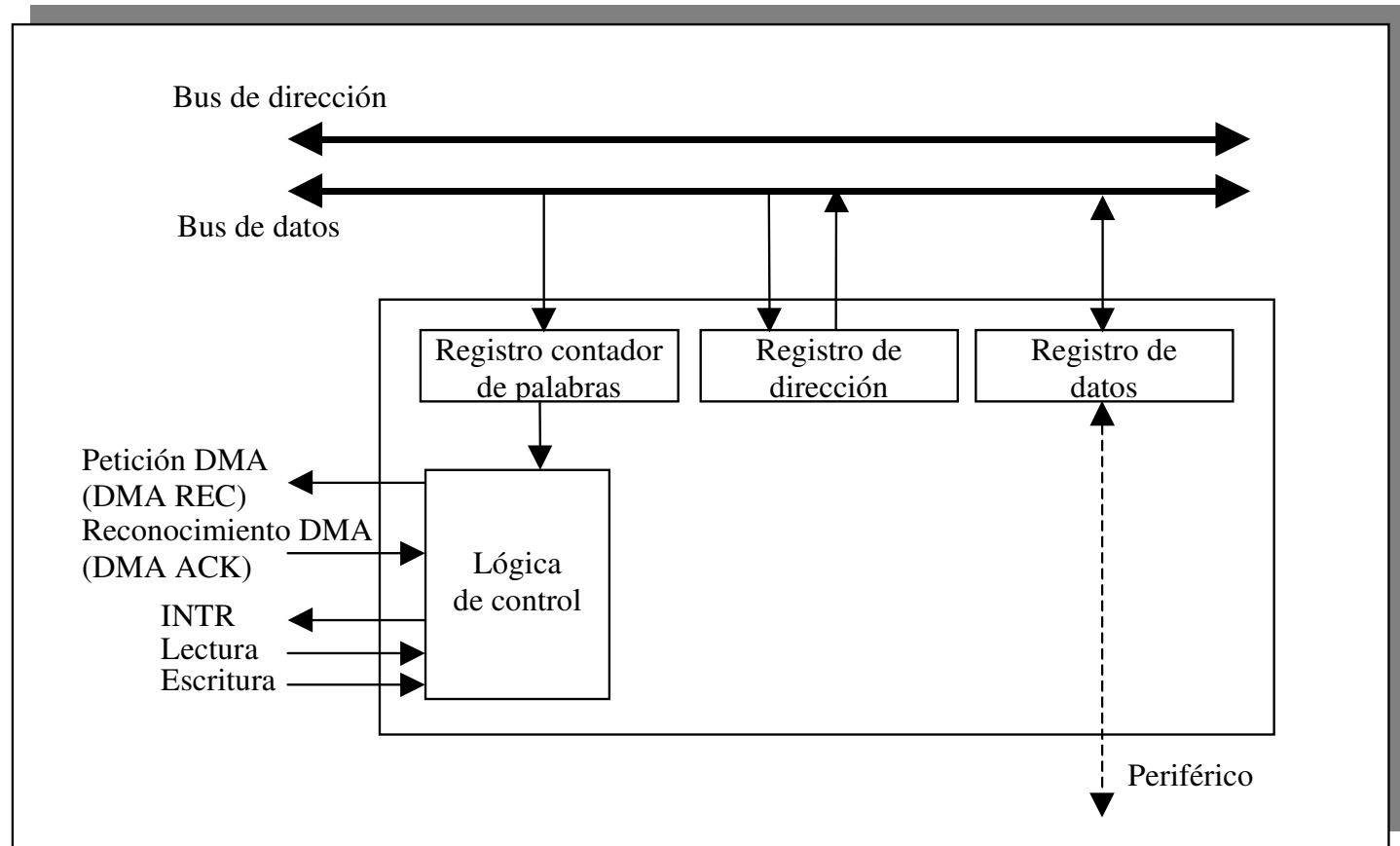
- ◆ Registro de datos.
- ◆ Registro de dirección: almacena la dirección de la siguiente palabra que se va a transmitir (incremento automático) .
- ◆ Registro contador de palabras: almacena el número de palabras que quedan por enviar (incremento automático). Si vale 0, se envía la señal de interrupción a la CPU indicándole que la transferencia ha finalizado.

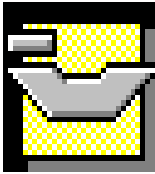


Controlador
DMA

E/S por DMA

Estructura



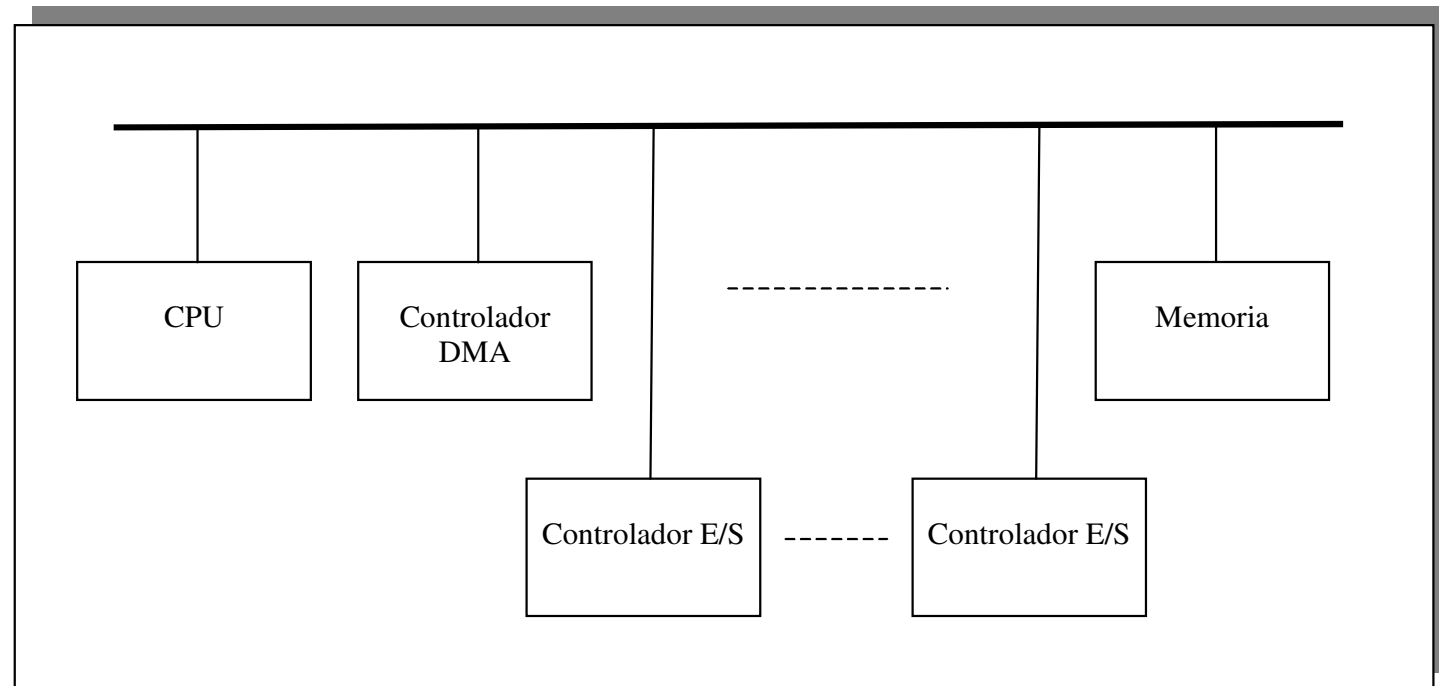


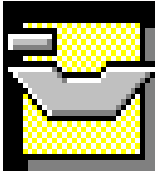
Controlador
DMA

E/S por DMA

Conexiones con el resto de elementos:

1. Utilizando un bus del sistema que interconecte todos los módulos. Configuración económica y poco eficaz.

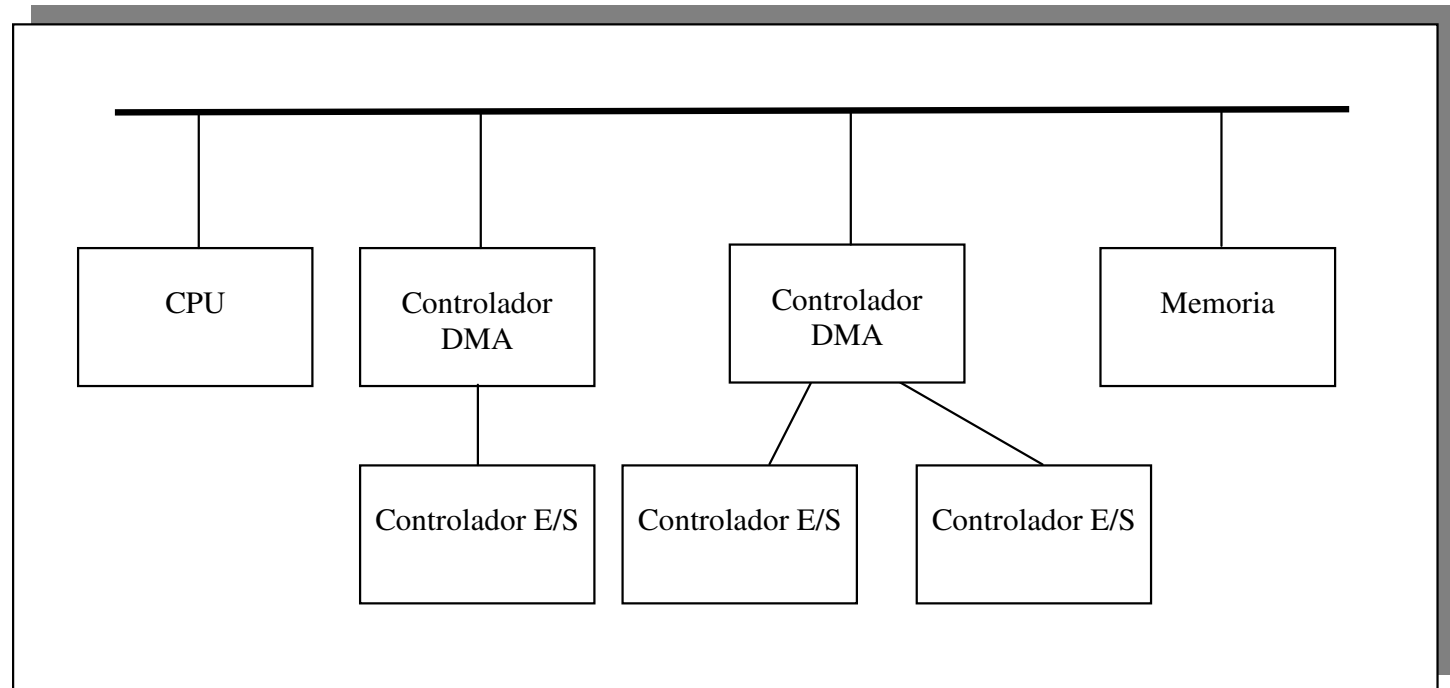


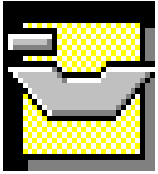


Controlador
DMA

E/S por DMA

- Utilizando un bus del sistema que interconecte todos los módulos excepto los controladores de E/S.

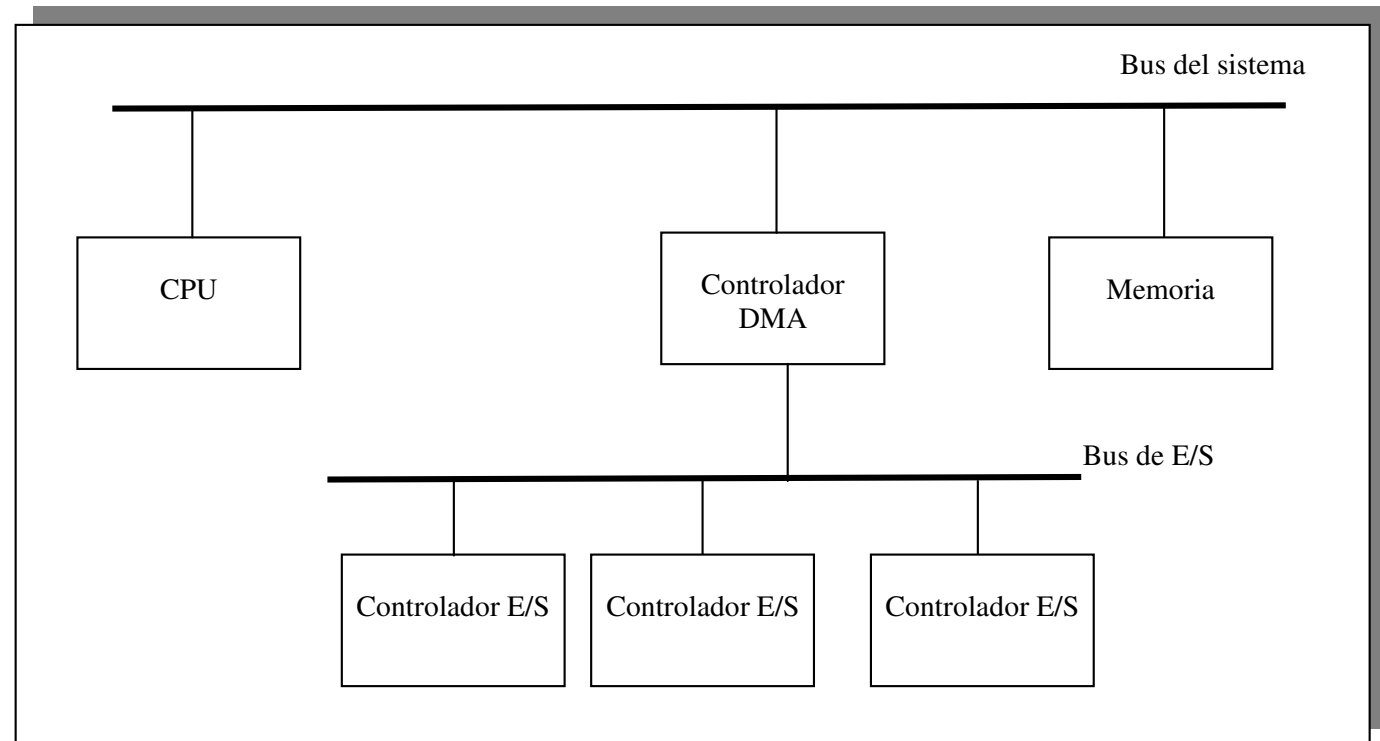




Controlador
DMA

E/S por DMA

- Utilizando un bus de E/S que interconecte todos los controladores de E/S al controlador de DMA

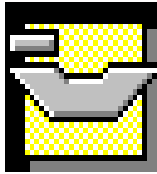




Funcionamiento

E/S por DMA

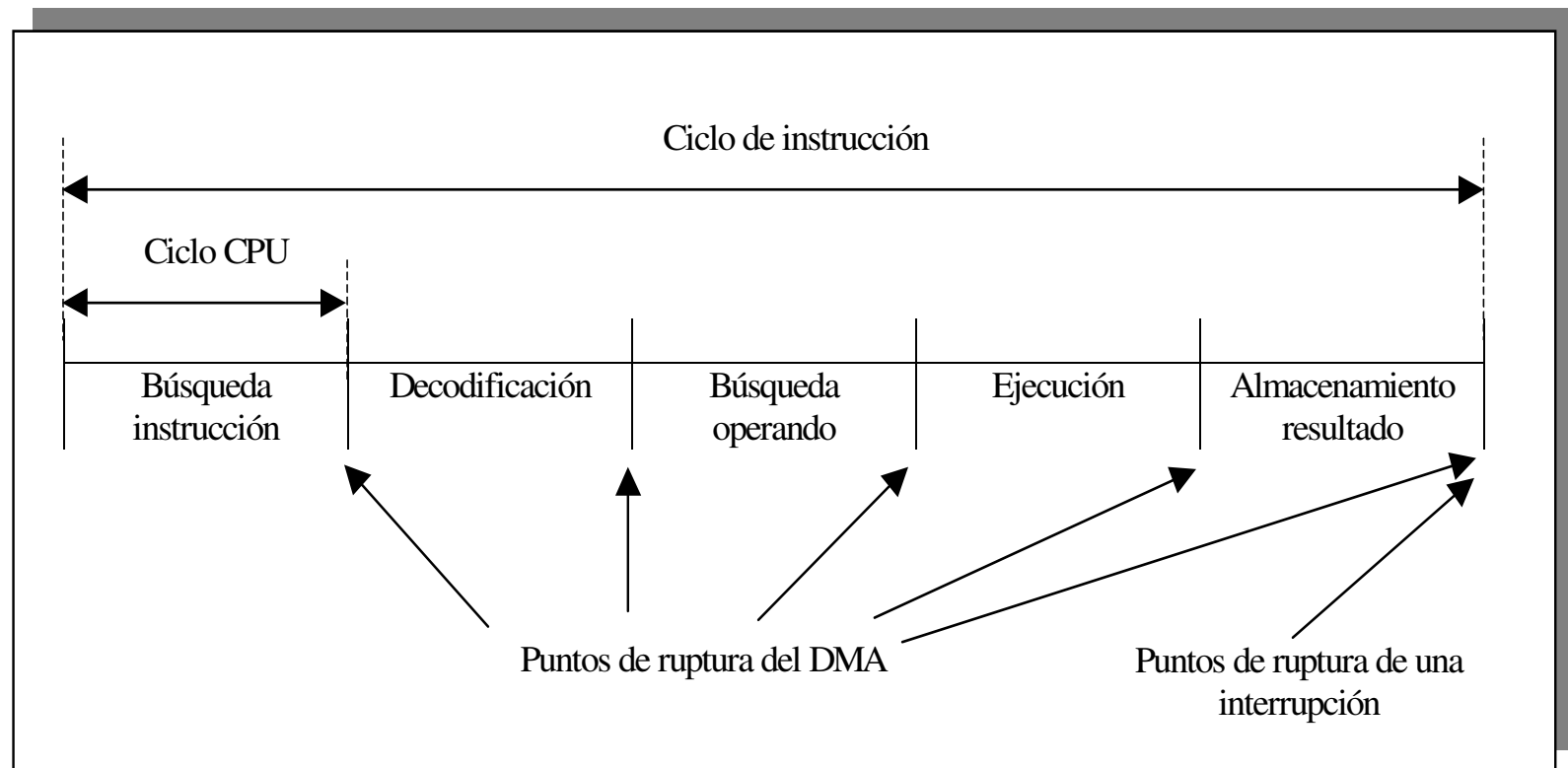
1. CPU envía: la dirección del periférico, el tipo de operación (lectura/escritura), la posición de comienzo en memoria y el número de palabras que se tienen que leer o escribir.
2. A partir de este momento la CPU puede realizar otra tarea.
3. El controlador de DMA transfiere directamente, palabra a palabra, el bloque completo de datos entre el periférico y la memoria, sin pasar por la CPU.
4. Cuando la transferencia finaliza el controlador de DMA envía una señal de interrupción a la CPU para indicarle que ya ha terminado.
5. De esta forma la CPU únicamente participa al comienzo y al final de la transferencia.



Interrupción

E/S por DMA

En este tipo de transferencia, el controlador de DMA necesita tener el control del bus para poder transferir datos hacia o desde la memoria.



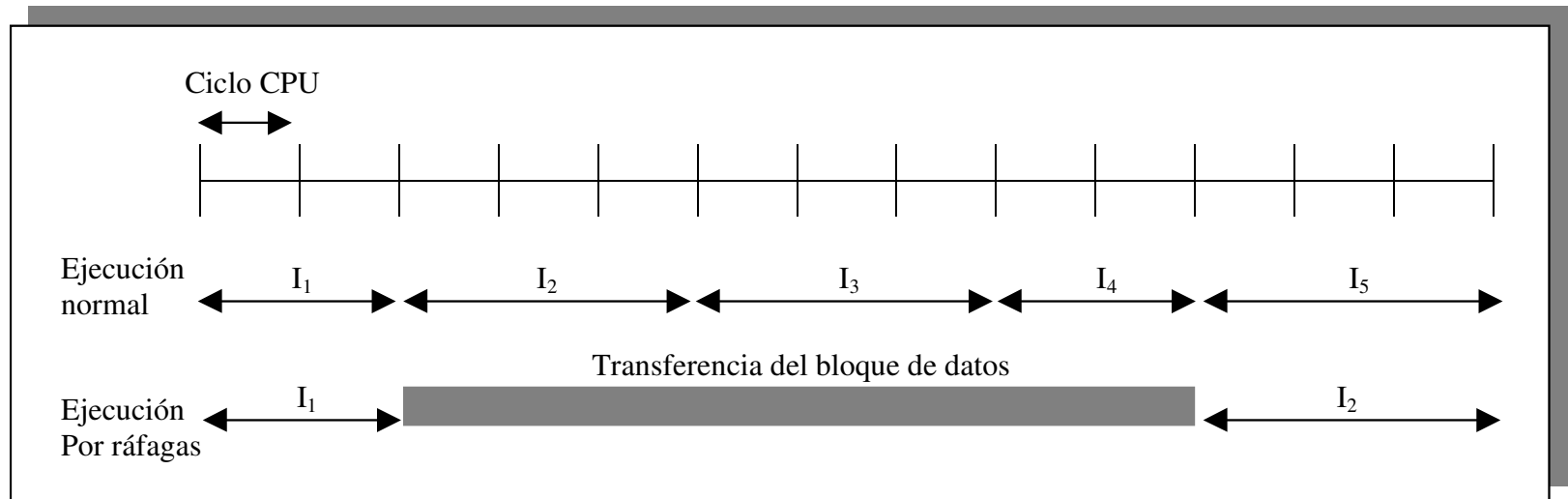


Transferencia
datos

E/S por DMA

Métodos para transferir datos:

1. **Por ráfagas.** Cuando el DMA toma el control del bus no lo libera hasta haber transmitido el bloque de datos pedido. Con este método se consigue la mayor velocidad de transferencia pero se tiene a la CPU inactiva durante períodos relativamente largos.

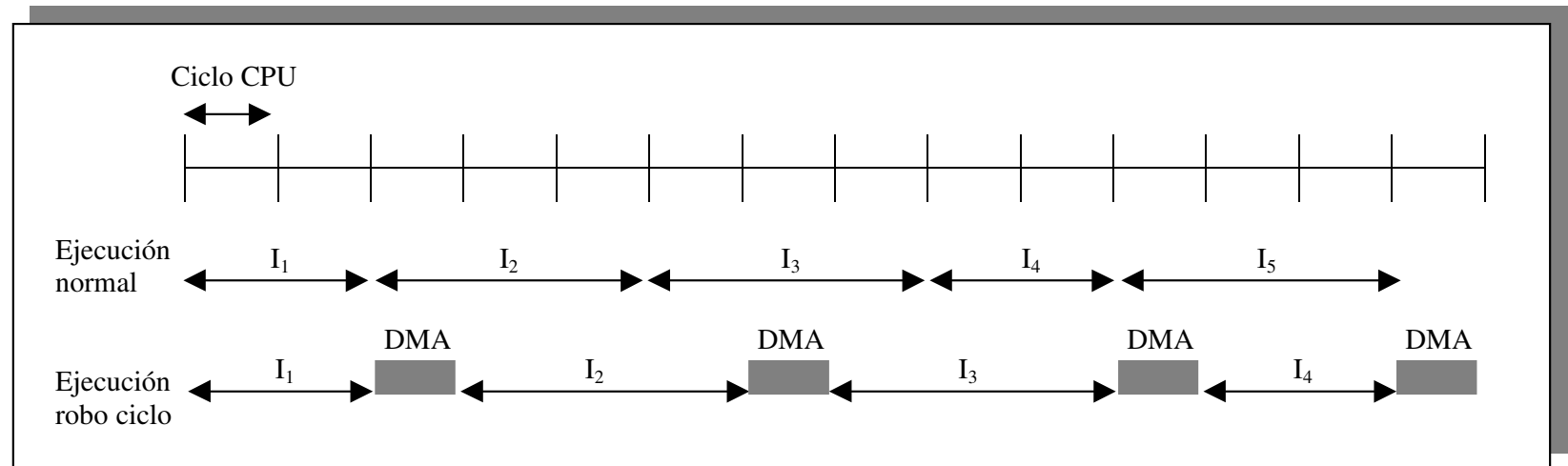


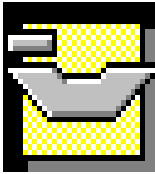


Transferencia
datos

E/S por DMA

- Por robo de ciclos.** Cuando el DMA toma el control del bus lo retiene durante un solo ciclo. Transmite una palabra y libera el bus. El robo de ciclos reduce al máximo la velocidad de transferencia y la interferencia del controlador de DMA sobre la actividad de la CPU.

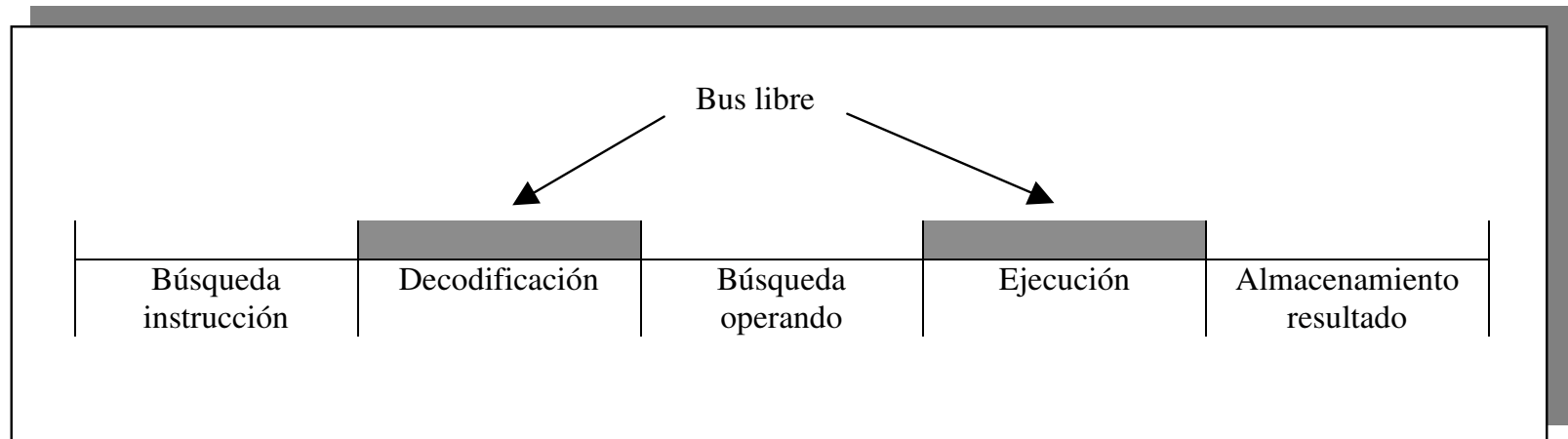


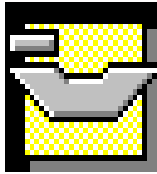


Transferencia
datos

E/S por DMA

3. **DMA transparente.** El DMA roba ciclo cuando la CPU no está utilizando el bus del sistema. En determinadas fases de la ejecución de una instrucción la CPU no utiliza el bus y es en ese momento cuando lo puede utilizar el DMA. La ejecución del programa de la CPU no disminuye su velocidad, pero concurrentemente tiene lugar una transferencia por DMA.



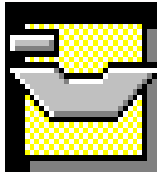


Transferencia
datos

E/S por DMA

4. **Memoria multipuerto.** La CPU se conecta a uno de los puertos de la memoria principal y el resto de puertos se utiliza para los controladores de DMA y controladores de E/S.

El mayor inconveniente de la memoria multipuerto es su coste.



Concepto

Procesador de E/S

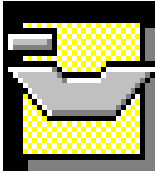
Los controladores de E/S se han mejorado haciendo que se comporten como un procesador.

- ◆ La CPU hace que el controlador de E/S ejecute un programa de E/S en memoria.

El controlador de E/S coge y ejecuta sus instrucciones sin intervención de la CPU. A este tipo de controlador de E/S se le denomina **canal de E/S**.

- ◆ Una posterior mejora de los canales de E/S ha sido incorporarles una memoria local con lo que ahora se pueden ver como computadores.

Con esta arquitectura, se puede controlar un conjunto grande de dispositivos de E/S con la mínima intervención de la CPU. A este tipo de controlador se le denomina **procesador de E/S**.

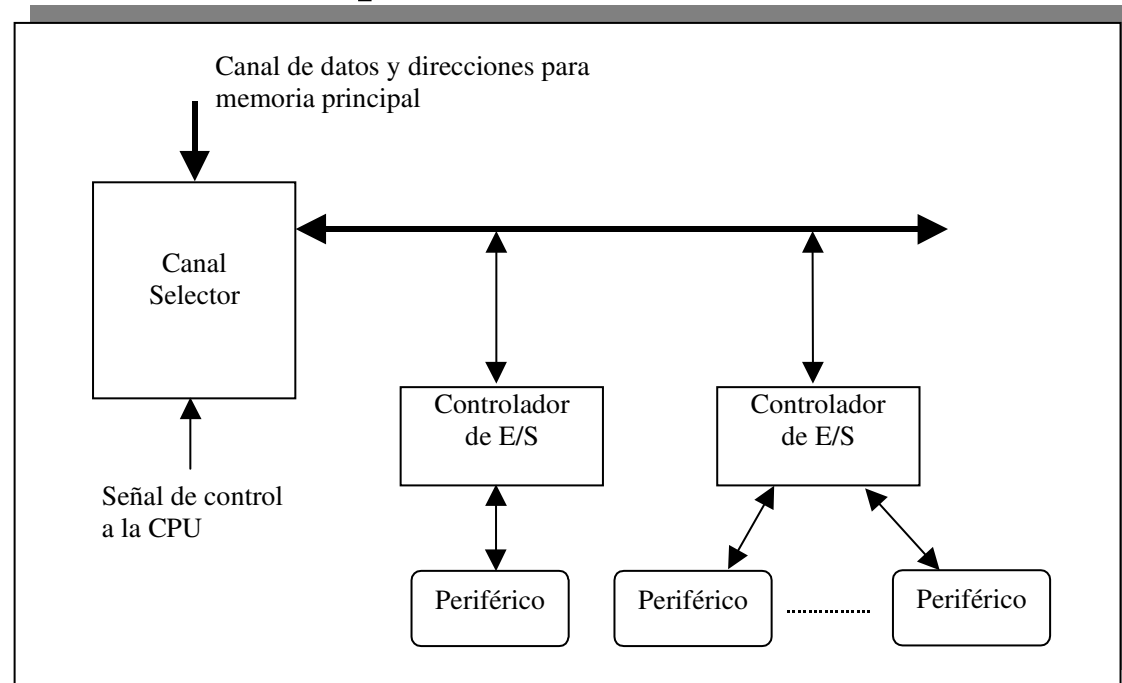


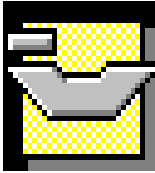
Tipos

Procesador de E/S

Tipos de procesador de E/S:

- ◆ **Canal selector.** Un canal selector controla múltiples dispositivos de alta velocidad. En cualquier instante de tiempo está dedicado a la transferencia de datos con uno sólo de estos dispositivos.

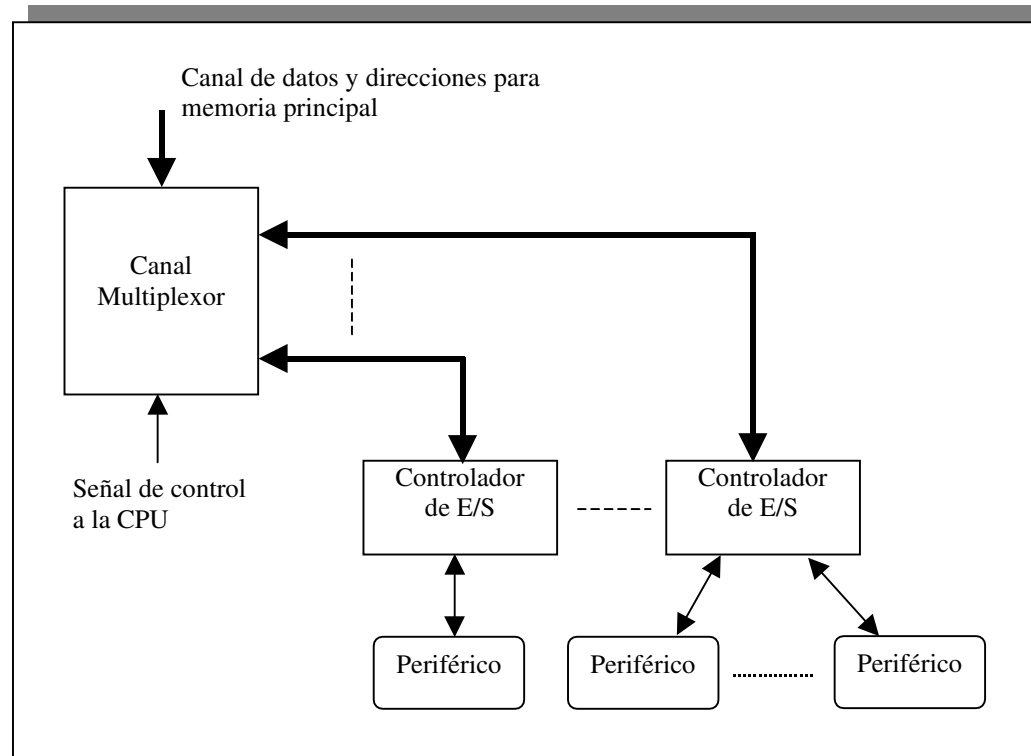


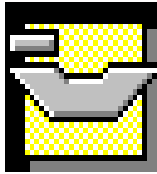


Tipos

Procesador de E/S

- ◆ **Canal multiplexor.** Un canal multiplexor puede controlar de forma simultánea operaciones de E/S con múltiples dispositivos. Para periféricos de baja velocidad, un multiplexor de bytes. Para dispositivos de alta velocidad, un multiplexor de bloques.





E/S MaNoTaS

E/S en MaNoTaS

- ◆ El sistema de interrupciones está formado por 32 interrupciones software numeradas de la 0 a la 31.
Asociado al sistema de interrupciones se encuentran un conjunto de instrucciones: INT, IRET, CLI y STI.
- ◆ La comunicación de E/S se realiza conectando el periférico a uno de los 256 puertos de E/S de 8 bits numerados del 0 al 255.
MaNoTaS dispone de la instrucción IN para leer de un puerto y de la instrucción OUT para escribir.



E/S MaNoTaS

E/S en MaNoTaS

Ejemplo:

```
; Programa que lee 10 bytes del periféricoIN (1)
; y los escribe en le periféricoOUT (0)
mvi 0,C
bucle:
    in 1
    out 0
    inr c
    mov c,a
    cpi 10
    jz fin
    jmp bucle
fin:
    jmp [FFFFh]
```

Nota: Antes de ejecutar el programa tienen que conectarse los periféricos en el simulador de MaNoTaS.